

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-246404
 (43)Date of publication of application : 19.09.1997

(61)Int.Cl.
 H01L 21/8247
 H01L 29/768
 H01L 29/792
 G11O 16/02
 H01L 27/116

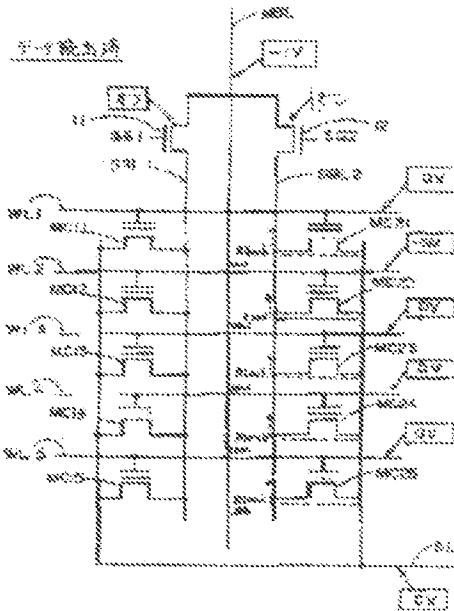
(21)Application number : 08-046231
 (22)Date of filing : 04.03.1996
 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (72)Inventor : SAKAKIBARA KIYOHIKO

(64) NON-VOLATILE SEMICONDUCTOR MEMORY

(57)Abstract

PROBLEM TO BE SOLVED: To provide DINOR type flash memory cutting down the gate length without decreasing the implanting efficiency in floating gate.

SOLUTION: Within the title non-volatile semiconductor memory, a gate length shorter than the marginal gate length in the drain withstand voltage length characteristics is adopted while setting up the relation formula of $Id_{sRleak} < Id_{sread}/Nbit/M$ to be satisfied. In said formula, Id_{sread} represents the reading out current running between the source drain of a selective memory cell MC22 in the data reading-out time, Id_{sRleak} represents the reading out leakage current between the source drain of the MC23-MC25, $Nbit$ represents the numbers of MC11-MC15 or IMC21-MC26, M represents the previously specified margin factor exceeding 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(10) 日本特許庁 (JP)

(2) 公開特許公報 (A)

(1) 特許出願公開番号

特開平9-246404

(3) 公開日 平成9年(1997)9月18日

(61) Inv. CL⁵
H 01 L 21/0207
29/738
29/732
G 11 C 16/02
H 01 L 27/115

識別番号 序内登録番号

P 1
H 01 L 26/78
G 11 C 17/00
H 01 L 27/10

技術表示箇所

3 7 1
3 0 7 A
4 3 4

審査請求 実審請求 求求項の数 5 O.L. (全 11 頁)

(21) 出願番号 特開平8-46231

(71) 出願人 000006013

(22) 出願日 平成8年(1996)3月4日

三澤電機株式会社
東京都千代田区丸の内二丁目2番3号

(72) 発明者 織田 勝彦

東京都千代田区丸の内二丁目2番3号 三
澤電機株式会社内

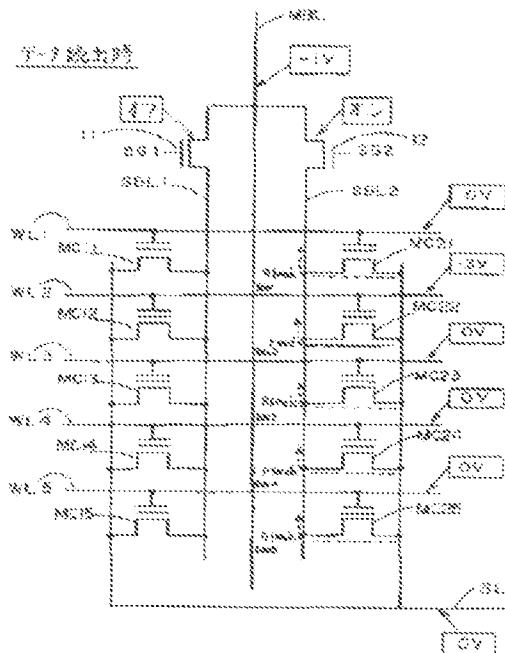
(73) 代理人 井上 勝彦 久輝 (外3名)

(54) 【発明の名前】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 フローサイシングゲートへの注入抑制を低下させることなくゲート長を短縮化したDINOR型フラッシュメモリを提供する。

【解決手段】 ドレイン電圧ゲート長特性における漏れゲート長よりも短いゲート長を使用し、漏れゲート長 $d_s^{min} < 1 d_s^{min} / N_{MOS}^{min}$ と定め、漏れゲート長を減らすように設定する。 $1 d_s^{min}$ はデータ読出時に漏れメモリセルMC2のノードレイン間に流れれる漏出電流を示し、 $1 d_s^{min}$ はデータ読出時に非選択メモリセルMC2のノードMC2とMC2～MC26のノードドレイン間に流れれる漏出電流を示し、 N_{MOS}^{min} はメモリセルMC1～MC15またはMC21～MC26の数を示し、Mは予め定められた1以上の大ジンファクタを示す。



【特許請求の範囲】

【請求項1】複数のスタッガート型メモリセル、前記スタッガート型メモリセルに対応して複数の、各々が所述するスタッガート型メモリセルのコントロールゲートと接続された複数のワード線、

メインビット線、

前記複数のスタッガート型メモリセルのドレインと共通に接続されたサブビット線、

前記メインビット線と前記サブビット線との間に接続されたセレクトゲート、および前記複数のスタッガート型メモリセルのソースと共通に接続されたソース線を含み、

前述スタッガート型メモリセルのゲート長は、ドレイン耐圧とゲート長との関係を表わすドレイン耐圧ゲート長特性においてゲート長の短縮化に伴いドレイン耐圧が低下し始めるときの臨界ゲート長よりも短く、かつ関係式

$$(d_s)^{0.8} < 1/d_s^{0.8} / N^{0.1} \cdot C / M$$

(式中の d_s は前記ワード線によって選択されたスタッガート型メモリセルからのデータ選択時におけるソースードレイン間に流れる漏出電流を示し、 N は

前記データ選択時に前記ワード線によって選択されずかつデータがプログラムされた状態にあるスタッガート型メモリセルのソースードレイン間に流れる漏出リード電流を示し、 M は前記スタッガート型メモリセルの数を示し、 C は予め定められた 1 以上のマージンファクタを示す) を満たすように設定される、不揮発性半導体記憶装置。

【請求項2】前記マージンファクタはほぼ 1.6 に設定される、請求項1に記載の不揮発性半導体記憶装置。

【請求項3】前記スタッガート型メモリセルへのデータ書き込み時に前記ソース線を開放状態にする開放手段をさらに含む、請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項4】前記スタッガート型メモリセルへのデータ書き込み時に所定電流を前記ソース線に印加する第1のバックゲート印加手段をさらに含む、請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項5】前記データ読み出時に所定電圧を前記ソース線に印加する第2のバックゲート印加手段をさらに含む、請求項1から請求項4までのいずれか一つに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は不揮発性半導体記憶装置に関するもので、特に詳しく述べて、DINOR (divided into two type) 型のフラッシュメモリに関するものである。

【0002】

【従来の技術】近年、不揮発性半導体記憶装置の一端であるフラッシュメモリは、ダイトリミックランダムアクセス

メモリ (DRAM) よりも安価に製造できるため、次世代を狙うメモリデバイスとして期待されている。

【0003】このフラッシュメモリの構造を单一化するために既に、チャネルメモリセルを用いてその上にドレイン領域とフローティングゲートの重なり領域にて N電流をフローティングゲートに注入することによりデータの書き込みを行うDINOR型のフラッシュメモリが「IEEE JOURNAL OF SOLID-STATE CIRCUIT, VOL.29, NO.4, APRIL 1994」の第464頁～第466頁に掲示されている。

【0004】これに対し、本発明人は特願平7-148969号において、メモリセルの微細化を可能にしつつパンチホール現象を起きにくくするために、チャネルメモリセルを用いたDINOR型のフラッシュメモリを提案している。なお、この発明は本願の出願時においてまだ出願公開されていないが、本願発明は上記特願に係るチャネルメモリセルを用いたDINOR型のフラッシュメモリについて簡単に説明する。

【0005】図8は、DINOR型のフラッシュメモリにおけるチャネルメモリセルの構造を示す断面図である。図8を参照して、このメモリセル80は、ウェルウェル81と、ウェル81の表面に形成されたp型ソース82およびドレイン83と、ウェル81上に形成されたトンネル酸化膜84と、トンネル酸化膜84上に形成されたフローティングゲート85と、フローティングゲート85上に形成された漏出絶縁膜86と、漏出絶縁膜86上に形成されたコントロールゲート87とを備える。このような構成のメモリセルは一列にスタッガート型と呼ばれる。

【0006】上記メモリセル80へのデータ書き込みは、正電圧がコントロールゲート87に与えられ、負電圧がドレイン83に与えられ、ウェル81が被覆され、ソース82が開放 (オープン) 状態にされる。これによりドレイン83中のフローティングゲート85とのオーバーラップ領域において、バンドーバンド漏トンネル現象 (以下BTBと称す) によって電子-正孔対 (エレクトロン-ホールペア) 88、89が生成される。このうち電子88は基板表面と平行な界面によって加速され、高いエネルギーを持つホットエレクトロンとなる。したがって、このホットエレクトロンがフローティングゲート85に注入されることにより、このメモリセル80にデータが書き込まれることとなる。

【0007】図9は、上記メモリセル80におけるフローティングゲート85がコントロールゲート87と接続されたかつゲート電位Vgとしてらが与えられた場合におけるドレイン電流 (ドレイン電流Vgと特徴およびゲート電流) Igとドレイン電圧Vdと特徴を示す。図9は、図9に示されたドレイン電流 Ig と対応するゲート電

接³きの組合である注入効率 I_g ／ I_d を示す。この図¹から明らかのように、 $V_d = -6$ V近傍に、 10^3 程度の高い注入効率が得られている。ここで、 $V_d = 0$ V～-6 Vにおける注入効率の傾向は、 B_{JTBT} による電子-正孔対の増加が原因である。また、 $V_d = -6$ V～-7 Vにおける注入効率の急下降は、ドレイン 8 3内のウェル 8 1との接合付近で起きたアバランシ⁴ は障壁が原因である。アバランシ⁴ 障壁はインパクトイオン化による電子の急増現象であるから、このとき図²に示されるようにゲート電圧 V_g はほとんど増加しないにもかかわらずドレイン電流 I_d が増加するため、注入効率 I_g ／ I_d が図¹に示されるように低下するものである。

【0008】一般に、図¹に示されるように、ウェル 8 1内のチャネル下には δ 型パンチスルーストッパー 1 が形成される。ゲート長の短縮化に伴って増加するパンチスルーストッパー電流を抑えるためである。上述した B_{JTBT} による電子-正孔対はプローティングゲート 8 5の下にもぐり込んだドレイン 8 3中の B_{JTBT} 発生領域 1 ～ 3 内で生成される。他方、上述したインパクトイオン化によるアバランシ⁴ 電流は、パンチスルーストッパー 1 がドレイン 8 3と接触する付近のインパクトイオン化発生領域 1 ～ 2 で主に生成される。

【0009】DINOR型のフラッシュメモリは第一の外部電源(たとえば 3 V)で動作するため、データ書き込みまたはデータ消去時ドレイン電圧 V_d などはその外部電源をチャージポンプ回路によってチャップ内部で構成することにより生成される。一般にチャージポンプ回路は電源供給能力をほとんど有しないため、データの書き込みまたは消去動作に伴う負荷電流は極力抑えなければならない。負荷電流が抑えられない場合、チャージポンプ回路の面積や段数を増やすことになるので、チャップ面積の拡大、ひいては製造コストの増大を招くことになる。上述したアバランシ⁴ 障壁によるドレイン電流 I_d の急増はチャージポンプ回路の負荷電流を増大させることになるため、このアバランシ⁴ 障壁によるドレイン電流 I_d の増加は極力抑えなければならない。

【0010】
【技術が解決しようとする課題】ところで、メモリセルの複雑化や高集成化はそのゲート長を短くすることによって行われる。しかしながら、ゲート長の短縮化に伴ってソース/ドレイン間でのパンチスルーストッパー電流が増加するという問題がある。

【0011】このようなパンチスルーストッパー電流の増加を抑えるための手筋の一つとして、パンチスルーストッパー 1 の濃度を高く設定するという手法がある。図¹に示されるような δ 型の構造 1 ～ 2 を有するメモリセルにおいては、ソース/ドレイン間におけるウェル 8 1中の深いところに電位の谷が形成される。図¹には、等電位線 1 ～ 2 の分布が示される。上述したパンチスルーストッパーは電位の谷に流れり δ 型 1 ～ 2 によるものであ

る。

【0012】ウェル 8 1およびパンチスルーストッパー 1 の濃度が一定である場合、ゲート長が短縮されるに従って上記のようなソース/ドレイン間での電位の差が大きくなる傾向にある。したがって、このようなゲート長の短縮化に伴う電位の拡大を抑えるためには、ウェル 8 1やパンチスルーストッパー 1 の濃度を高く設定する必要がある。

【0013】しかしながら、ゲート長の短縮化に伴ってパンチスルーストッパー 1 の濃度を高くすると、ドレイン電圧 V_d よりも低く下を下にすると、ここで、パンチスルーストッパー 1 の濃度を高くするとドレイン電圧 V_d よりも低く下を下する原因は、パンチスルーストッパー 1 の濃度が高いためパンチスルーストッパー 1 とドレイン 8 3またはソース 8 2との間での空乏層の幅が狭くなり、この領域での電界が大きくなることである。

【0014】図²は、ドレイン電圧 V_d とゲート長 l_g との関係を表す特性図である。このドレイン電圧 V_d ～ゲート長 l_g 特性は、たとえばコントロールゲート 8 7、ウェル 8 1およびソース 8 2を接続し、ドレイン 8 3に与える電圧を上げていった場合に観測されるドレイン電流 I_d が発生しきい値(たとえば 1 μA以上になったとき)のドレイン電圧を表すゲート長 l_g と呼ばれるこれによって得られるものである。ゲート長 l_g は絶対の長い領域でのプラットな特性は図¹に示されたインパクトイオン化発生領域 1 ～ 2 で起きるアバランシ⁴ 障壁によって決定されるものである。また、ゲート長 l_g の短縮化に伴うドレイン電圧 V_d よりも低く下を下するパンチスルーストッパーによって決定されるものである。ドレイン電圧 V_d ～ゲート長 l_g において、ゲート長 l_g の短縮化に伴いドレイン電圧 V_d よりも低く下を下し始めるときのゲート長を以下では臨界ゲート長 l_{gmin} (l_{gmin} または l_{gmin}^*)といふ。図²から明らかのように、パンチスルーストッパー 1 の濃度を高くすると臨界ゲート長 l_{gmin} は短くなる。すなわち、パンチスルーストッパー 1 の濃度が比較的高い場合における臨界ゲート長 l_{gmin} は、パンチスルーストッパー 1 の濃度が比較的低い場合における臨界ゲート長 l_{gmin}^* よりも短い。

【0015】フラッシュメモリのメモリセルでは、データの書き込みや消去時においてドレイン電圧 V_d よりも付近のバイアスが印加される。したがって、臨界ゲート長 l_{gmin} よりも短いゲート長 l_g を用いたメモリセルでは、図¹に示されたようにドレイン電圧 V_d をドレイン電圧 V_d よりも付近に設定すると、サブレッシュホールドによるリード電流が増大することになる。すなわち、本来はカットオフされるべき V_d (ゲート電圧)よりもときにも微小なリード電流がソース/ドレイン間で流れることになる。

【0016】このため、臨界ゲート長 l_{gmin} よりも短い

いゲート長 L_{gate} が用いられることはなく、一般には臨界ゲート長 L_{gate} のマージンを考慮して臨界ゲート長 L_{gate} よりも長いゲート長 L_{gate} が用いられる。

【0017】上述したように臨界ゲート長 L_{gate} を決定する要因はソース／ドレイン間での電位の底上がりであるから、ゲート長を短くするためにはソース／ドレイン間での電位の底上がりを抑止るためにパンチスルーストッパーの濃度を高くする必要がある。すなわち、パンチスルーストッパーの濃度を高くすると臨界ゲート長 L_{gate} が短くなるから、メモリセルに使用するゲート長 L_{gate} を短くすることができる。

【0018】しかしながら、ゲート長を短縮化するためにはパンチスルーストッパーの濃度を高くすると、図11に示されたインパクトイオン化発生領域112においてはインパクトイオン化(1, 1,)電流が増加し、アバランシュ論状によって決定されるドレイン耐圧 V_{dss} が低下する。このドレイン耐圧 V_{dss} の低下は図10に示された注入効率 $I_g/1/d$ の低下を引き起す。すなわち、図10では $V_d = -1.0V \sim -7.0V$ において注入効率が低下しているが、ゲート長の短縮化に伴いパンチスルーストッパーの濃度を高くすると、この注入効率の低下領域がドレイン耐圧 V_{dss} の約2倍が小さくなる側(図10上で左左側)へシフトする。このような注入効率の低下はチャージパンチ路の負荷を増大させ、ひいてはチャージアップの増大へと繋がる。

【0019】上述したようにゲート長の短縮化のためにパンチスルーストッパーの濃度を高くすることはできないが、インパクトイオン化による注入効率の低下を抑える手段として、一般的なメモリセルではソース82およびドレイン83の濃度を低くするLDD(Glightly Doped Drain)と呼ばれる手法がある。しかしながら、pチャネルメモリセルを用いたDINOR型のフラッシュメモリではこの手法を用いることができない。これは、BTBTによって十分な電流が発生するためには図11に示されたBTBT発生領域111の濃度が10¹⁸cm⁻³程度が必要だからである。もしも一般のメモリセルと同様にソース82およびドレイン83の濃度を低くすると、BTBTによって発生する電流が低下し、その結果、注入効率が低下することになる。

【0020】図14および図15は、上述したゲート長の縮小化に伴う注入効率の低下の経過を示す。図14に示されるように、ゲート長の縮小化という目的を達成するためには、臨界ゲート長 L_{gate} を確保するという必要性は避けられないと考えられていた。臨界ゲート長 L_{gate} を確保するための1つの手段として、パンチスルーストッパーの濃度を高くするという手法が考えられるが、図15に示されるようにインパクトイオン化によるリーク電流が増加し、その結果、BTBTによって誘起されたホットエレクトロンの注入効率が低下することになる。また、臨界ゲート長 L_{gate} を確保

に予定電位をソース線に印加する第1のバックゲート印加手段を含む。

【0028】上記不揮発性半導体記憶装置は好ましくはさらに、データ読出時に予定電位をソース線に印加する第2のバックゲート印加手段を含む。

【0029】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号付箇印または番号部分を省略する。

【0030】【実施の形態1】図1は、この発明の実施の形態1によるり1NのR型のフラッシュメモリにおけるメモリセルアレイの一部構成を示す回路図である。図1を参照して、D(1N)のR型のフラッシュメモリは、複数のスタッガード型メモリセルMC11～MC15、MC21～MC25と、複数のワード線W1～W15と、メインピット線MBL1と、サブピット線SBL1、SBL2と、セレクトゲート11、12と、ソース線S1とを含む。複数のワード線W1～W15は、複数のスタッガード型メモリセルMC11～MC15またはMC21～MC25に対応して接続される。ワード線W1～W15の各々は、対応するスタッガード型メモリセルのコントロールゲートと接続される。たとえばワード線W1はスタッガード型メモリセルMC11およびMC21のコントロールゲートと共通に接続される。サブピット線SBL1はスタッガード型メモリセルMC11～MC15のドレインと共通に接続される。サブピット線SBL2はMC21～MC25のドレインと共通に接続される。セレクトゲート11はメインピット線MBL1とサブピット線SBL1との間に接続される。セレクトゲート12はメインピット線W1とサブピット線SBL2との間に接続される。ソース線S1はスタッガード型メモリセルMC11～MC15、MC21～MC25のソースと共通に接続される。図示はされていないが、D(1N)のR型のフラッシュメモリのメモリセルアレイには図1に示されるような構成が複数設けられる。

【0031】このフラッシュメモリは、収込イネーブル信号RE[0]に対応してソース線S1を開放状態にするとともに、読出イネーブル信号RE[0]に応答してソース線S1に0Vの電位を印加するソース制御回路401～403を備える。収込イネーブル信号PROGはメモリセル

MT[0]～MT[6] (V_{DD} > V_{TH}) と、V_{DD} … (1)

ここで、MT[0]～MT[6]は、メモリセルの通常のしきい電圧をV_{TH}とし、ワードラインゲートに選択が全くない場合におけるメモリセルのしきい電圧をV_{TH}とV_{DD}とする。

MT[0]～MT[6] (V_{DD} > V_{TH}) と、V_{DD} … (1)

また、ワードラインゲートとワードラインゲートとの間の結合容量の値を示し、a.はドレインとワードラインゲートとの間の結合容量の値を示す。

【0032】図3に示された境界ゲート長よりも長いゲ

ート長を使用した場合MC11～MC25へのデータ収込時に活性化され、読み出イネーブル信号RE[0]はメモリセルMC11～MC15、MC21～MC25からのデータ読出時に活性化される。

【0032】図2は、ドレイン耐圧BV_Dとゲート長との関係を表す特性図である。上述したようにパンチスルーストッパの遮断を高くすると短い境界ゲート長としているが、BTW₁によって説明されたホットエレクトロンの注入効率が低下する。そのため、この実施の形態1ではパンチスルーストッパの遮断は高く設定されない。

【0033】また、1つのサブピット線SBL1またはSBL2と共通に接続されるメモリセルMC11～MC15またはMC21～MC25には、データ収込時に収込ドレイン電位V_D¹が与えられ、データの読出時に読出ドレイン電位V_D²が与えられる。一方に、収込ドレイン電位の絶対値|V_D¹|の方が読出ドレイン電位の絶対値|V_D²|よりも大きい。したがって、ドレイン耐圧BV_Dは収込ドレイン電位|V_D¹|よりも大きくなければならぬ。

【0034】また、この実施の形態1では、メモリセルMC11～MC15、MC21～MC25のゲート長として、境界ゲート長より長いL_{m1n}よりも短いゲート長が使用される。ここで、図3に示されたドレイン耐圧ゲート長特性では、ゲート長を短くしていくとドレイン耐圧BV_Dが低下し始めるが、このドレイン耐圧BV_Dが低下し始めるとそのゲート長が境界ゲート長L_{m1n}である。

【0035】図3は、ドレイン電流(I_D)とゲート電位(V_G)との関係を表す特性図である。この特性図には、境界ゲート長よりも長いゲート長を使用(L_{m1n} > L_{m1n})した従来の特性曲線と、境界ゲート長よりも短いゲート長を使用(L_{m1n} < L_{m1n})した実施の形態1の特性曲線とが示されている。また、この特性図には、データ読出時にデータがプロダクツされている状態にあるメモリセルのワードラインゲートの電位と、データ読出時にデータがイレースされた状態にあるメモリセルのワードラインゲートの電位とが示されている。ここで、ワードラインゲートの電位V_Gは次の式(1)で表される。

【0036】

MT[0]～MT[6] (V_{DD} > V_{TH}) と、V_{DD} … (1)

また、次の式(2)で表される。

【0037】

MT[0]～MT[6] (V_{DD} > V_{TH}) と、V_{DD} … (2)

ゲート長を使用した場合(L_{m1n} > L_{m1n})の特性曲線から明らかのように、この場合のデータ読出時(V_G = V_G¹ > V_G²)においては、選択メモリセル中に入力される読み出電流がドレイン電流として流れ、非選択メモ

りセル中にA'で示される漏出リード電流がドレイン電流として流れ、A'で示される漏出リード電流はAで示される漏出電流に比べて十分に小さいものである。なぜ、この場合におけるデータ書き込み($V_d = V_{dd}$ 時)の特性曲線はデータ読み出し($V_d = V_{dd}$ 時)の特性曲線にほとんど等しいものである。

【0030】これに対し、この実施の形態1では上述したように電界ゲート長よりも短いゲート長ショートが使用されているため、メモリセル中に流れるサブアスレッシュホールド電流が増加する。したがって、電界ゲート長よりも短いゲート長を使用した場合（ $L_{\text{gate}} < L_{\text{short}}$ ）におけるデータ抽出時（ $V_{\text{dd}} = V_{\text{read}}$ ）の特性曲線から明らかなるように、 I_{read} で示される選択メモリセル中に流れるリード電流 I_{read} に比べて、 I_{read} で示される非選択メモリセル中に流れる抽出リード電流 I_{read} が無視できない程度に増加する結果がある。

【6.0.4.0】なお、臨界ゲート長よりも短いゲート長を使用した場合（ $l_{gate} < l_{critical}$ ）におけるデータ送込時（ $V_{dd} = V_{prog}$ ）には、データ讀出時（ $V_{dd} = V_{read}$ ）に比べて技術的大量のリーク電流が流れ る。このリーク電流は、チャネル電流ではなく基板（ウェル）内部に流れるパンドスルーレ電流である。他方、臨界ゲート長よりも短いゲート長を使用した場合（ $l_{gate} < l_{min}$ ）におけるデータ讀出時（ $V_{dd} = V_{read}$ ）には、ドレイン電位 V_d がデータ送込時に比べ低いため、ドレインからの空乏層の伸びが抑えられ、その結果、ソースードレイン間にゲート電位によって制御可能なチャネル電流が流れ る。

【0041】このフラッシュメモリのデータ書込時は、図4に示されるように、図1中のソース側翻板路13によってソース線S13が開放状態にされ、メインビット線MB13にドレイン電位Vdとしてたとえば-1.5Vが与えられ、選択ワード線WL2にコントロールゲート電位としてたとえば+1.8Vが与えられ、非選択ワード線WL1、W13～W15にコントロールゲート電位としてたとえば+1.5Vがそれぞれ与えられる。ここでは、L(論理ロウ)レベルのセレクト信号SG1がセレクトゲート11に与えられ、H(論理ハイ)レベルのセレクト信号SG2がセレクトゲート12に与えられているので、メインビット線MB13の電位(-1.5V)はサブビット線SBL2だけに与えられ、サブビット線SBL1には与えられない。したがって、サブビット線SBL2に接続されたメモリセルM1～M5だけが書込可能状態にある。但し、ここではワード線WL2には+1.8Vが与えられ、他のワード線W1、W13～W15には0Vが与えられているので、メモリセルM1～M5のみが選択され、他のメモリセルM6～M10は選択されない。

【0042】したがって、選択メモリセル候のことをだけにデータが読み出されるが、この選択の階級アドレスがバ

シゲスルーストップバの機能を高くしていかないため、必ずモードによって説明されたホットエレクトロンの注入効率が低下することはない。しかしながら、ゲート長さ l_{gate} を臨界ゲート長さ l_{gate}^{crit} よりも短くしているため、非選択メモリセルMC21, MC23-MC25の中はパンチスルーによる比較的大きな書き込み電流 I_{write} (約 $10 \mu A$), I_{read}^1 (約 $3 \mu A$) ~ I_{read}^2 (約 $0.5 \mu A$) が流れれる。しかしながら、この実験の態態1ではソース端子S1が開放状態にされているため、ソース端子S1の電位は、たとえ端子V_S → 0, 5 V というように低下する。そのため、非選択メモリセルMC21, MC23-MC25のソース電位が低下し、その結果、バックゲート効果によりソースードレイン漏のリーク電流はカットオフされる。したがって、これらの書き込み電流 I_{write} (約 $10 \mu A$), I_{read}^1 (約 $3 \mu A$) ~ I_{read}^2 (約 $0.5 \mu A$) は書き動作の初期に一時的に流れるだけである。したがって、この実験の態態1のようにゲート長さ l_{gate} を臨界ゲート長さ l_{gate}^{crit} よりも短くしても、上記書き込み電流が問題となることはない。

20 【TO 043】性別。このフラッシュメモリのデータ選出時ににおいては、図5に示されるように、図1中のソース制御回路13によってソース線S1にソース電位としてたとえば+1Vが与えられ、メインビット継続M1にドレイン電位としてたとえば-1Vが与えられる。これでも図4と同様に、メインビット継続M1の電位(-1V)がサブビット継続M2だけに与えられ、メモリセルMC21～MC25だけが選出可能な状態となっている。但し、ワード線W12にはコントロールゲート電位としてたとえば+3Vが与えられ、他のワード線W11、W13～W16にはコントロールゲート電位としてたとえば+1Vがそれぞれ与えられているので、メモリセルMC22だけが選択され、他のメモリセルMC21、MC23～MC25は選択されていない。

38

【0.044】したがって、選択メモリセルMC2中に
は読み出し電流1 d \times 2¹⁰⁰ A流れ、他のメモリセルMC2
1, MC2 2~MC2 5中には読み出リーグ電流1 d \times 1
A¹⁰⁰, 1 d \times 3¹⁰⁰ ~ 1 d \times 9¹⁰⁰ Aが流れれる。し
かしながら、データ読み出時にはソース線SLが0 Vに選
定されているので、上述したデータ書き込時のようにな
らの読み出リーグ電流1 d \times 1¹⁰⁰, 1 d \times 3¹⁰⁰ ~
1 d \times 9¹⁰⁰ Aがカットされることはなか

【0045】そこで、この実験の影響1では次の式(3)を導入するよう規定されている。

100 d. s. N.

卷之三

$$\sum_{k=1}^{\infty} \|ds\|_{\text{link}}^k \ll \|ds\|_{\text{end}}^{\infty} \quad \text{... (3)}$$

すなわち、データ読出時に非選択メモリセル中に残れる讀出リード電圧 V_{Rd} が、 $V_{Rd} > V_{th}$ の場合に選択セル

中に流れる読み出電流 (I_{ds}^{out}) よりも十分に小さくなるよう設定されている。なお、データがプログラムされている状態にある非選択メモリセル中に流れる読み出リード電流の方がデータがイレースされている状態に於ける非選択メモリセル中に流れる読み出リード電流よりも大きいので、読み出リード電流の総和が最大となる最悪の場合を考えて、ここでの読み出リード電流 (I_{ds}^{out}) はプログラム状態の非選択メモリセル中に流れるものである。

【0047】一般に、選択メモリセルからのデータ読み出本

I_{ds}^{out} $< I_{ds}^{read}$

ここで、マージンファクタは 1 以上の予め定められた値であり、好ましくは 1.0 である。

【0049】一般にデータ読み出時のドレイン電圧 (たとえば -1V) はデータ書き時のドレイン電圧 (-6V) よりも低い (絶対値が小さい) ので、読み出リード電流は読み出リード電流よりも小さい。したがって、上記要件式 (4) を満たすように設定することは十分に可能である。

【0050】以上のようにこの実施の形態 1 によれば、ゲート長を選択ゲート長よりも短くしているため、パンチホールによる読み出リード電流は十分に抑えられ、安定した読み出動作を行なうことができる。また、データ書き時に非選択メモリセル中に流れるパンチホールによる書き出リード電流はバックゲート効果によってカットオフされるため、安定した書き出動作も行なうことができる。さらに、特にパンチホールーストッパーの繊度を高めしていないため、ドライブによって誘起されたホットエンクションの注入効率が低下することもない。

【0051】【実施の形態 2】図 6 は、この発明の実施の形態 2 によるフラッシュメモリの一部構成を示す回路図である。図 6 を参照して、このフラッシュメモリは上記実施の形態 1 と異なり、書きインバーフル信号 W_{IF} によって選択して所定の電圧 (たとえば -0.5V) をソース線 1 に負担するバックゲート回路 60 を備える。

【0052】このようなフラッシュメモリにおいては、データ書き時に所定の電圧 (たとえば -0.5V) がソース線 1 に負担されるので、メモリセルは 2 トランジスタのバックゲート (ウェル) に実質的に負の電圧が与えられたこととなる。そのため、バックゲート効果によってデータ書き時に非選択メモリセル中に流れるパンチホールによる書き出リード電流を低減することができる。

【0053】【実施の形態 3】図 7 は、この発明の実施の形態 3 によるフラッシュメモリの一部構成を示す回路図である。図 7 を参照して、このフラッシュメモリは上記実施の形態 1 と異なり、読み出メモリセルも AD

* 時にソースードレイン間に流れる読み出電流を I_{ds}^{out} とし、データ読み出時にプログラム状態の非選択メモリセルのソースードレイン間に流れる読み出リード電流を I_{ds}^{read} とし、1 つのサブピット線に接続されたメモリセルの数を N_{sub} とし、さらにマージンファクタを M とすると、このフラッシュメモリは上記式 (3) を変形した次の要件式 (4) を満たすように設定される。

【0048】

／Nb + M

… (4)

に応答して所定の電圧 (たとえば -0.5V) をソース線 1 に負担するバックゲート回路 70 を備える。このとき、ソースードレイン間に電圧を上記実施の形態 1 と同様に 1V とするためにドレイン電圧として -1V を与えるのが望ましい。

【0054】このようなフラッシュメモリにおいては、上記実施の形態 2 と同様にバックゲート効果によってパンチホールによる書き出リード電流を低減することができる。

【実施の簡単な説明】

【図 1】この発明の実施の形態 1 による DINOR 型フラッシュメモリにおけるメモリセルアレイの一部構成を示す回路図である。

【図 2】フラッシュメモリのメモリセルにおけるドレイン電圧 V_{DS} とゲート長特性を表わす図である。

【図 3】フラッシュメモリのメモリセルにおけるドレイン電圧 V_{DS} とゲート電圧特性を表わす図である。

【図 4】図 1 に示されたフラッシュメモリのデータ書き時に動作を示す回路図である。

【図 5】図 4 に示されたフラッシュメモリのデータ読み出時に動作を示す回路図である。

【図 6】この発明の実施の形態 2 による DINOR 型フラッシュメモリにおけるメモリセルアレイの一部構成を示す回路図である。

【図 7】この発明の実施の形態 3 による DINOR 型フラッシュメモリにおけるメモリセルアレイの一部構成を示す回路図である。

【図 8】DINOR 型フラッシュメモリにおけるチャネルスラッシュゲート型メモリセルの構造を示す断面図である。

【図 9】図 8 に示されたメモリセルにおけるドレイン電圧 V_{DS} とゲート電圧 V_{GS} とゲート電流 I_{GS} の特性を示す図である。

【図 10】図 9 に示されたドレイン電圧に対するゲート電流の割合である注入効率とドレイン電圧との関係を示す図である。

【図 11】パンチホールーストッパーを有するチャネルスラッシュゲート型メモリセルの構造を示す断面図である。

【図 12】チャネルスラッシュゲート型メモリセルに

流れるパンチホール電流を抑制するための断面図である。

【図1-3】 スタックゲート型メモリセルにおけるドレイン電流-ゲート電位特性を表わす図である。

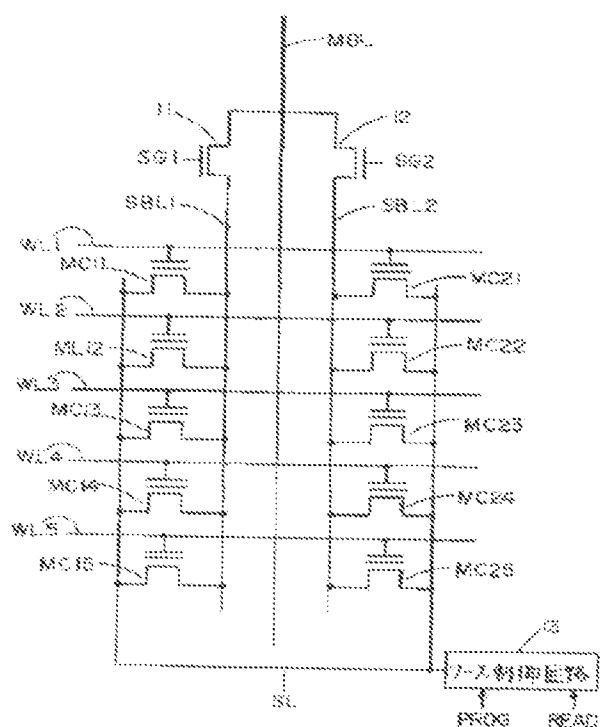
【図1-4】 ゲート長の縮小化に伴う課題を説明するための図である。

【図1-5】 図1-4と同様の課題を説明するための注入効率とドレイン電位との関係を表わす図である。

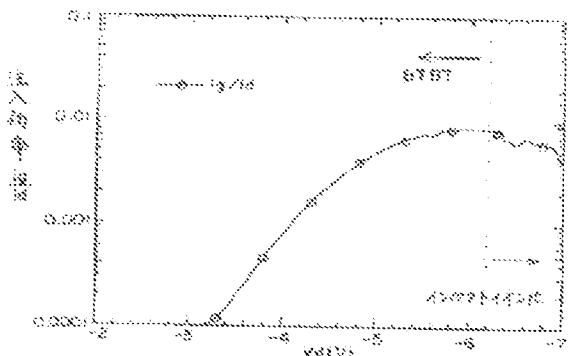
【符号の説明】

* MC11～MC16, MC21～MC25 スタックゲート型メモリセル。W1～W15 ワード線。MBL メインビット線、SBL1, SBL2 サブビット線、I1, I2 セレクトゲート、SL ソース線、臨界ゲート長 L_{min}^{crit} , L_{min}^{crit} , L_{ds}^{crit} , L_{ds}^{crit} $\sim L_{ds}^{crit}$ ～ L_{ds}^{crit} 繰出リターン電流、 L_{ds}^{crit} 繰出電流、60, 70 バックゲート印加電圧。

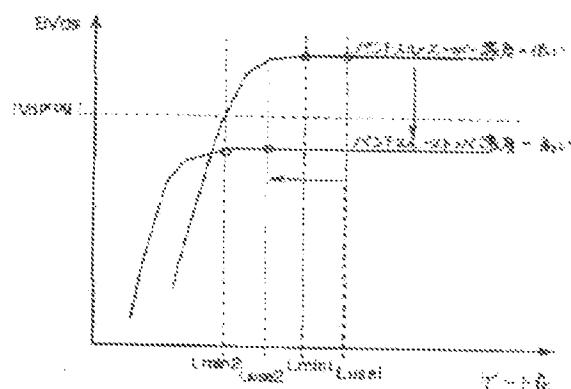
【図1】



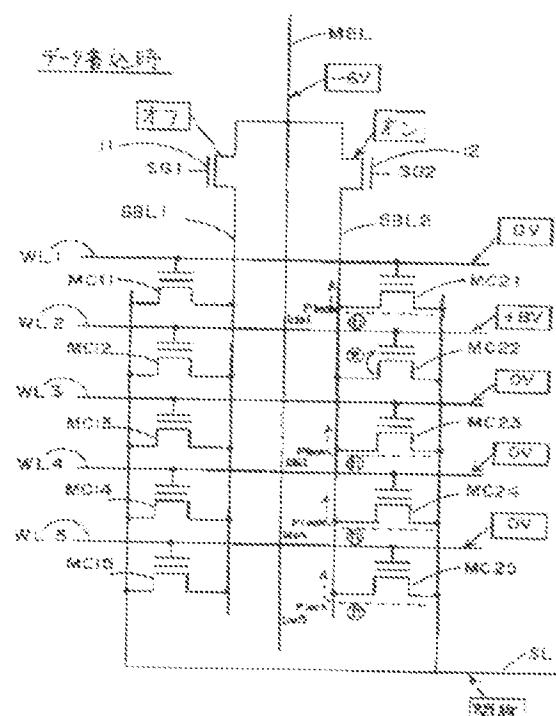
【図1-6】



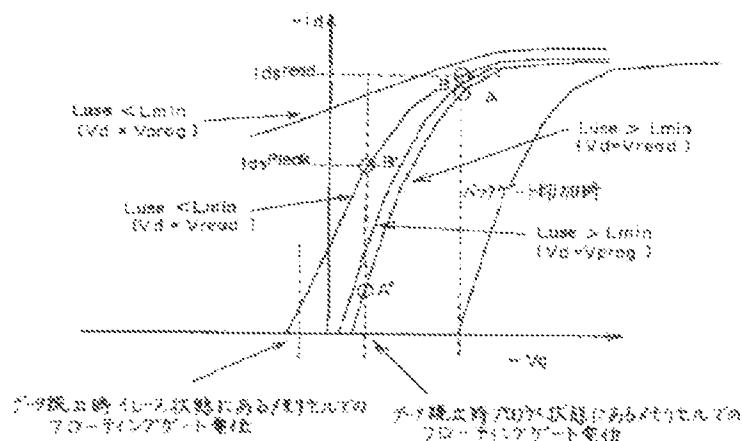
【図2】



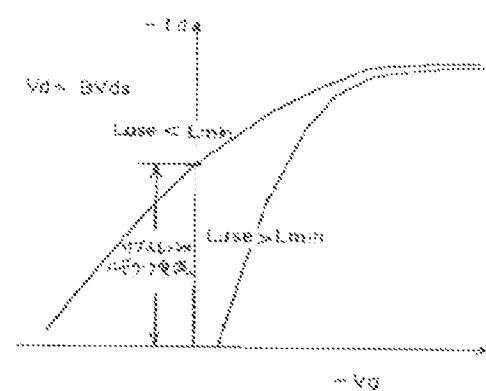
【図4】



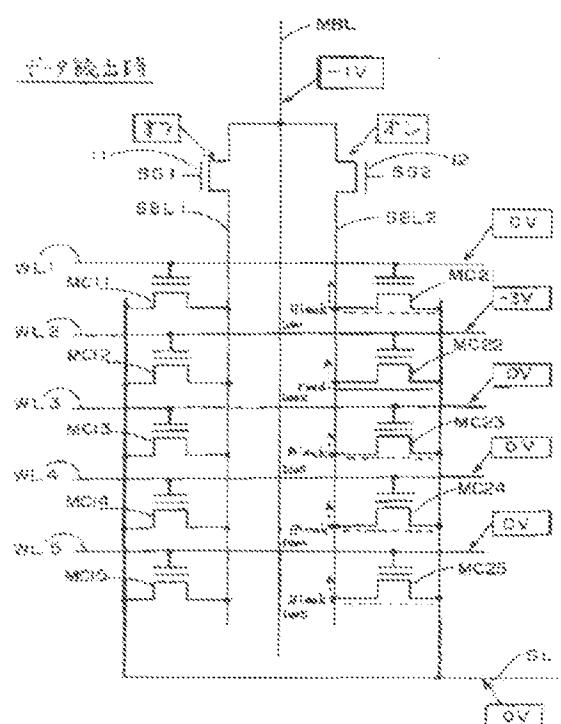
【図3】



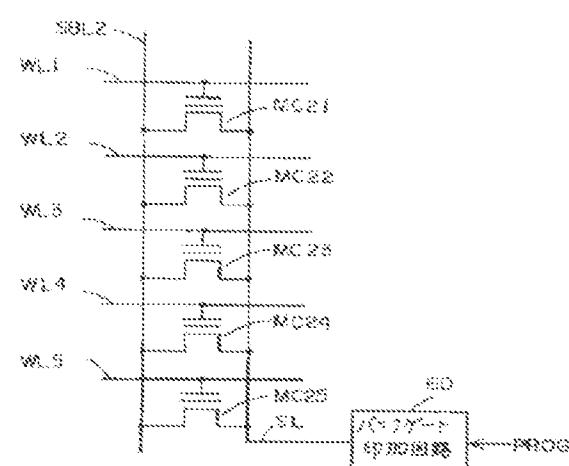
【図4】



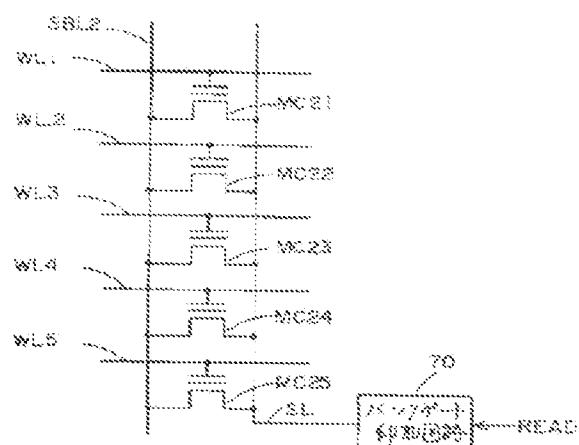
【図5】



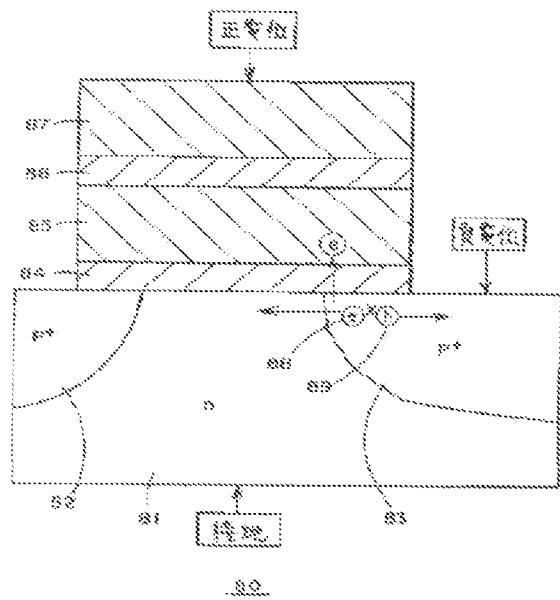
【図6】



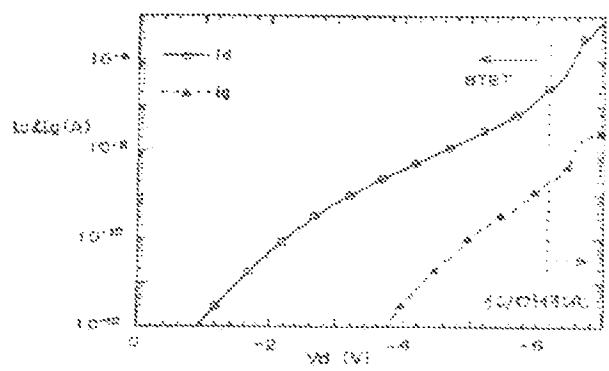
【図7】



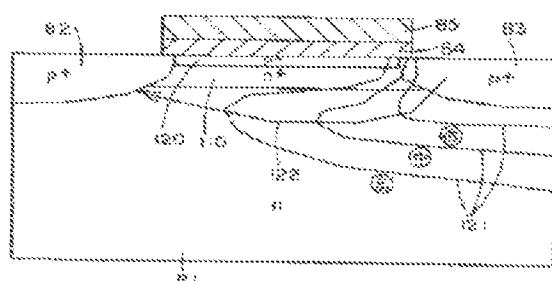
[222 82]



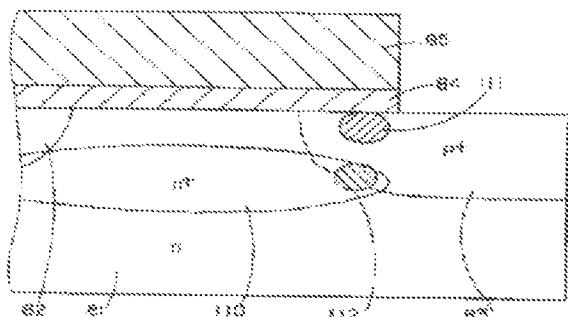
1000



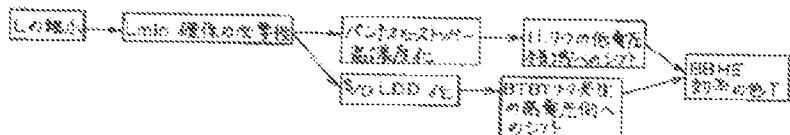
1020



2000



CHAP. 11.



【図15】

